

PAT-NO: JP354058066A

DOCUMENT-IDENTIFIER: JP 54058066 A

TITLE: ELECTRONIC TYPE DIGITAL WATCH

PUBN-DATE: May 10, 1979

INVENTOR-INFORMATION:

NAME

KAJIWARA, MASANORI

ASAI, MAKIO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MATSUSHITA ELECTRIC WORKS LTD

N/A

APPL-NO: JP52125332

APPL-DATE: October 15, 1977

INT-CL (IPC): G04C003/00, G04C023/00 , G04F010/04

US-CL-CURRENT: 368/71

ABSTRACT:

PURPOSE: To display the time indicating signals and other mode indicating signals simultaneously and interchangeably in a time shearing manner in separate time display units which are alternately brought into displayable conditions in response to the output of a time shearing clock oscillator.

CONSTITUTION: In an electronic type digital watch which includes at least one of the time displaying mode and a stop watch displaying mode in addition to the time displaying mode so that they may be digitally displayed by the use of a static display system, a plurality of time display units 2a and 2b are alternately brought into displayable conditions in response to the output of a time shearing clock oscillator 1, and the time displaying signals and other mode signals are alternately interchanged by a change-over circuit 3 in response to the output of the oscillator 1 so that they may be fed to the display units 2a and 2b in a time shearing manner. Thus, it is possible to simultaneously display the time display and the other displays in the different display units with the use of a single integrated circuit LSI 4 of large scale

Rest Available Copy

COPYRIGHT: (C)1979,JPO&Japio

⑨日本国特許庁(JP)

⑩特許出願公開

⑫公開特許公報 (A)

昭54—58066

⑤Int. Cl. ²	識別記号	⑥日本分類	庁内整理番号	④公開	昭和54年(1979)5月10日
G 04 C 3/00		109 B 0	6740—2F		
G 04 C 23/00		109 D 0	7408—2F	発明の数	1
G 04 F 10/04			7809—2F	審査請求	未請求

(全 4 頁)

⑭電子式デジタル時計

⑯特 願 昭52—125332

⑰出 願 昭52(1977)10月15日

⑱発 明 者 梶原正規

門真市大字門真1048番地 松下
電工株式会社内

⑲発 明 者 浅井真生雄

門真市大字門真1048番地 松下
電工株式会社内

⑳出 願 人 松下電工株式会社

門真市大字門真1048番地

㉑代 理 人 弁理士 石田長七

明 細 書

1 発明の名称

電子式デジタル時計

2 特許請求の範囲

(1) 時計表示の他タイム表示やストップウォッチ表示等の少なくとも1つの表示モードを有し、スタティック表示方式によりデジタル表示するようにした電子式デジタル時計において、時分割用のクロック発振器と、このクロック発振器出力により交互に表示可能な状態とされる複数の時刻表示部と、時計表示信号及びその他の表示モード信号を前記クロック発振器出力により交互に切換えて時分割により各時刻表示部に入力する切換回路とを具備して成ることを特徴とする電子式デジタル時計。

3 発明の詳細な説明

本発明は、時計表示の他タイム表示やストップウォッチ表示等の少なくとも1つの表示モードを有し、スタティック表示方式によりデジタル表示す

るようにした電子式デジタル時計において、時分割用のクロック発振器(1)と、このクロック発振器(1)出力により交互に表示可能な状態とされる複数の時刻表示部(2a)(2b)と、時計表示信号及びその他の表示モード信号を前記クロック発振器(1)出力により交互に切換えて時分割により各時刻表示部(2a)(2b)に入力する切換回路(3)とを具備して成ることを特徴とする電子式デジタル時計に係り、その目的とするところは大規模集積回路(LSI)を使用して時計表示とその他の表示とを別々の時刻表示部により同時に表示できるようにした電子式デジタル時計を提供するにある。

従来は時計表示とその他の表示モードによる表示を行なう場合、切換スイッチを切換えて1つの時刻表示部により表示を行なっていた。従ってかかる従来例においては通常時に時計表示状態としてあるため、タイム表示その他の表示モードによる表示内容を知るためには、そのたびに切換スイッチを操作する必要があり、操作が煩雑である問題があった。また3以上の表示モードによる表示

を同時に行なうため、8個以上の時刻表示部を設けたものも提供されていたが、かかる従来例の場合表示数に応じたLSIを夫々個別に設ける必要があり、装置価格が高価となる問題があった。

本発明は上述の点に鑑みて提供したものであつて、以下本発明の一実施例を図面により詳述する。第1図は現在時刻を表示する時計表示とタイマ設定時刻を表示するタイマ表示とを同時に蛍光表示管により構成された8個の時刻表示部(2a)(2b)で表示するようにした本発明一実施例の回路ブロック図を示す。第1図回路において鎖線内はLSI(4)を構成しており、このLSI(4)内には、商用電源(5)周波数を1/60乃至1/80に分周して1Hzの信号を得る分周回路(6)と、この分周回路(6)出力を受けて現在時刻を算出する秒、分、時カウンタ(7)(8)(9)と、タイマ動作を行つてタイマ表示を行なうタイマカウンタ(10)と、ストップウォッチ動作を行なつてストップウォッチ表示を行なうストップウォッチカウンタ(11)と、これら各カウンタ(7)(8)(9)又は(10)、(11)の出力を受けてデコードするデコーダ

(12)と、このデコーダ(12)出力により動作する分10°位、分10'位、時10°位、時10'位の各ドライバ(13)(14)(15)(16)とを内蔵している他、外付けの抵抗R₀及びコンデンサC₀により発振周波数が決定される時分割用のクロック発振器(17)と、このクロック発振器(17)出力を1/4に分周する分周器(18)と、分周器(18)出力を反転するインバータ(19)と、秒、分、時各カウンタ(7)(8)(9)又はタイマカウンタ(10)、ストップウォッチカウンタ(11)の出力を切換的にデコーダ(12)に入力するためのマルチプレクサからなる切換回路(20)とを内蔵して構成されている。しかしこのLSI(4)は分10°位、分10'位、時10°位の下位8桁が切換回路(20)を介することにより時分割データによるスタティック方式でデコーダ(12)に入力し、時10°位の上位1桁は時分割されずに時カウンタ(9)の内容が直接デコーダ(12)に入力するようにしてあり、現在時刻を表示する時計表示の他、タイマ設定時刻を表示するタイマ表示や、ストップウォッチ時間を表示するストップウォッチ表示その他の表示モードを有している。またマルチプレクサに

より構成された切換回路(20)はタイマ表示入力端(21)及びその他の表示モード入力端を具備し、これら入力端に信号が入力していないとき、秒、分、時各カウンタ(7)(8)(9)の出力をデコーダ(12)に入力し、いずれかの入力端(21)に信号が入力したとき対応するモードのカウンタ(10)又は(11)の出力がデコーダ(12)に入力されることになるものであり、この入力端(21)にインバータ(19)の出力を接続することにより各カウンタ(7)(8)(9)又は(10)、(11)の出力を時分割により切換えてデコーダ(12)に入力する。なお図示実施例ではインバータ(19)の出力を直接タイマ表示入力端(21)に接続した状態を示してあるが、切換スイッチ等を用いてその他の表示入力端に切換的にインバータ(19)出力を入力するようにしても良い。また(20a)(20b)は各時刻表示部(2a)(2b)に付加されたグリッドドライバで、蛍光表示管により構成された時刻表示部(2a)(2b)のグリッドのカットオフバイアスを得るようにしてある。

第2図は第1図回路のタイムチャートを示すものであつて、a)はクロック発振器(17)の出力、b)は

分周器(18)の出力、c)はインバータ(19)の出力、d)は分10°位ドライバ(13)の入力、e)は分10'位ドライバ(14)の入力、f)は時10°位ドライバ(15)の入力、g)はグリッドドライバ(20a)の出力、h)はグリッドドライバ(20b)の出力を夫々示すものであり、A~Hは各タイミングを示す。今タイミングAではグリッドドライバ(20a)の出力g)が“H”であるため、時刻表示部(2a)は点灯状態にあるが、グリッドドライバ(20b)の出力h)は“L”であるため時刻表示部(2b)は非点灯状態にある。一方このときインバータ(19)の出力c)が“L”であるため、LSI(4)はタイマ設定時刻の出力はせず、現在時刻についての時計表示の分10°位の出力(第1図において時刻表示部(2a)の「6」表示)を分10°位ドライバ(13)の入力d)に応じて出力することになる。よつてタイミングAでは時刻表示部(2a)に現在時刻の分10°位の桁の表示(第1図中「6」)が点灯する。次にタイミングBでは信号e)を入力する分10'位ドライバ(14)の出力により時刻表示部(2a)の分10'位桁の表示(第1図において時刻表示部

(2a)の「8」表示)が点灯するが、時刻表示部(2b)は非点灯状態を維持する。タイミングCでは信号gが「L」となり、時刻表示部(2a)は非点灯状態へと移行し、反面信号bが「H」となるため時刻表示部(2b)が点灯状態になる。一方このときインバータ(4)の出力cが「H」となり、LSI(4)のタイマ設定時刻の表示入力端子が「H」となつて、マルチプレクサよりなる切換回路(3)に切換用信号が入力することになるため、時刻表示部(2b)の時10⁰位に相当する信号(第1図において時刻表示部(2b)の「8」表示)が信号fとして時10⁰位ドライバ(4)に入力され、時刻表示部(2b)にタイマ設定時刻の時10⁰位の桁(第1図「8」)が点灯表示される。タイミングDでは時刻表示部(2a)あるいは(2b)が点灯状態にあつても、切換回路(3)から出力がないため、下位8桁はいずれも点灯しない。タイミングE、Fでは信号c)及びb)が「H」で信号gが「L」であるので、時刻表示部(2b)にタイマ設定時刻の分10⁰位(第1図「8」)及び分10¹位(第1図「5」)が夫々点灯表示され、

が「H」のとき現在時刻の時10¹位が時刻表示部(2b)には信号b)が「H」のときタイマ設定時刻の時10¹位が夫々点灯表示されることになる。

なお上記2個の時刻表示部(2a)(2b)の各桁は、クリップ印加パルスとLSI(4)からの出力パルスのタイミングが合ったときのみ点灯するように構成されているため、表示のちらつきを防止するためにはクロック発振器(1)出力たる時分割用クロックパルスを数100Hzに設定しなければならない。また上述の実施例では現在時刻を表示する時計表示とタイマ設定時刻を表示するタイマ表示との2モードを同時表示する場合について述べたが、タイマ設定時刻の表示モードを、他のストップウォッチ表示やスリープタイマ表示、カレンダー表示等の表示モードにしても同様である。

本発明は上述のように、時分割用のクロック発振器と、このクロック発振器出力により交互に表示可能な状態とされる複数個の時刻表示部と、時計表示信号及びその他の表示モード信号を前記クロック発振器出力により交互に切換えて時分割に

時刻表示部(2a)は不点灯となる。またタイミングGでは信号c)及びb)が「L」となつて信号gが「H」となるため、時刻表示部(2a)に現在時刻を示す時計表示の時10⁰位(第1図「0」)が点灯し、時刻表示部(2b)が非点灯となる。タイミングHでは前記タイミングDと同様に下位8桁はいずれも点灯しない。かくてタイミングA~Hの間において、時計表示のための現在時刻の分10⁰位、分10¹位、時10⁰位の各桁は時刻表示部(2a)に夫々タイミングA、B、Gで点灯し、タイマ表示のためのタイマ設定時刻の分10⁰位、分10¹位、時10⁰位の各桁は時刻表示部(2b)に夫々タイミングE、F、Cで点灯することになり、タイミングH以後は前述のタイミングA~Hの動作を繰返すのである。一方上位1桁すなわち時10¹位の桁は、時分割されずにカウンタ(4)の内容がそのままデコーダ(4)を通つて出力されるため、LSI(4)からは信号c)が「L」のとき現在時刻を、信号c)が「H」のときタイマ設定時刻が夫々出力されることになるものであり、時刻表示部(2a)には信号g)

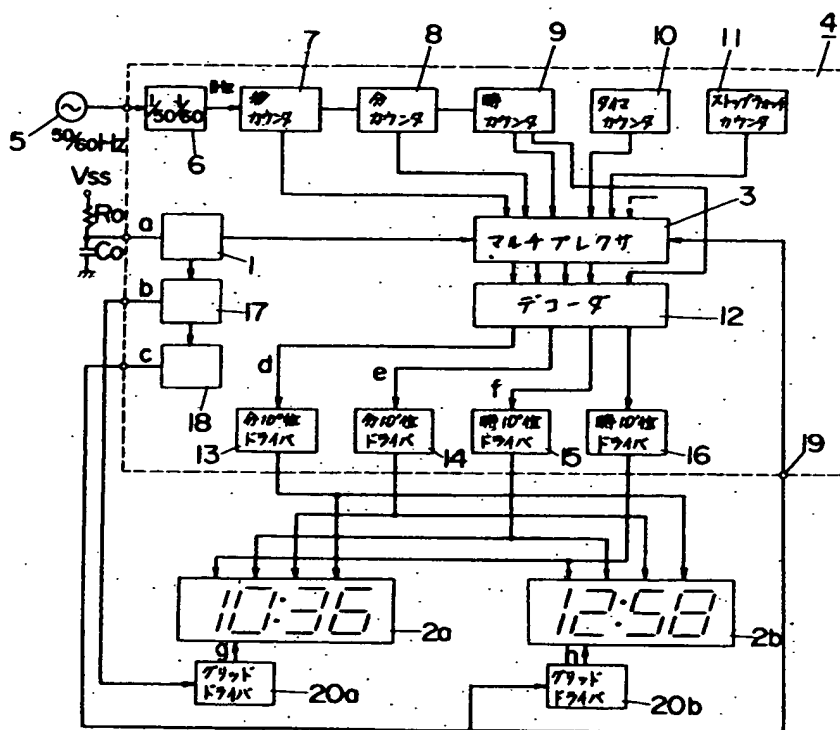
より各時刻表示部に入力する切換回路とを具備するものであるから、1個LSIの使用して時計表示とその他の表示とを別々の時刻表示部により同時表示することができるようになつたものであつて、しかもこのときLSIの出力ピン数を増加する必要がないため安価にLSIを製造できるとともにLSIの回路組み込みが簡易にできて安価となり、LSIのチップサイズが大型化するようなこともないものであり、スイッチ切替を要することなく表示内容を判別できるため使用上便利である効果を有するものである。

4 図面の簡単な説明

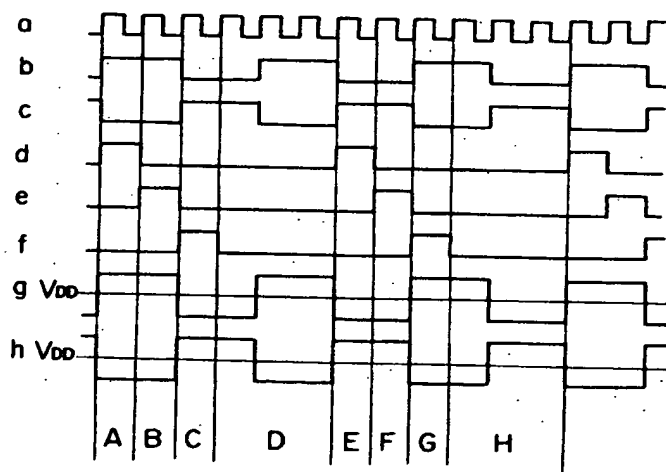
第1図は本発明一実施例のブロック図、第2図は同上のタイムチャートであり、(1)はクロック発振器、(2a)(2b)は時刻表示部、(3)は切換回路である。

代理人 弁理士 石 田 長 七

第1図



第2図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.